

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-13543

(43)公開日 平成5年(1993)1月22日

(51)Int.Cl.⁵

H 01 L 21/66

識別記号 庁内整理番号

Z 7013-4M

F I

技術表示箇所

T 7013-4M

27/04

H 8427-4M

B 8427-4M

審査請求 未請求 請求項の数3(全5頁)

(21)出願番号

特願平3-166703

(22)出願日

平成3年(1991)7月8日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233468

日立超エル・エス・アイ・エンジニアリング株式会社

東京都小平市上水本町5丁目20番1号

(72)発明者 宮武 伸一

東京都小平市上水本町5丁目20番1号 日立超エル・エス・アイ・エンジニアリング
株式会社内

(74)代理人 弁理士 小川 勝男

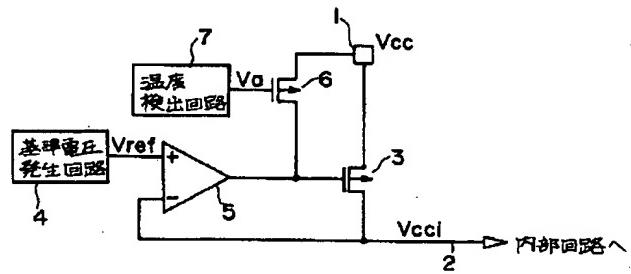
(54)【発明の名称】 半導体集積回路

(57)【要約】

【構成】 半導体チップ上に、温度検出手段を設けるとともに、電源パッドから内部回路に電源電圧を供給する電源供給系に電源電圧の供給／遮断を制御可能な電源電圧供給制御手段を設け、温度検出手段がチップの異常な温度上昇を検出した場合に電源電圧の供給を停止させるようにした。

【効果】 絶縁膜に開いたピンホールによる電源ラインの短絡や回路を構成する素子の接合破壊等の故障あるいはラッチアップの発生により電源ラインに大電流が流れると、温度検出手段がチップの温度上昇を検知して電源電圧供給制御手段を制御し電流を遮断するため、ラッチアップによる回路の破壊やパッケージの発火を防止することができる。

【図 2】



【特許請求の範囲】

【請求項1】 半導体チップ上に、異常検出手段を設けるとともに、電源パッドから内部回路に電源電圧を供給する電源供給系に電源電圧の供給／遮断を制御可能な電源電圧供給制御手段を設け、電流検出手段が大電流を検出したまたは温度検出手段がチップの異常な温度上昇を検出した場合に電源電圧の供給を停止させるようにしたことを特徴とする半導体集積回路。

【請求項2】 内部降圧回路を有する場合において、電源パッドから内部回路に電源電圧を供給する電源供給経路の途中に設けられたMOSFETと、基準となる電圧を発生する基準電圧発生回路と、差動增幅回路とによりその内部降圧回路を構成し、上記MOSFETのゲート電圧を発生される内部電圧が基準電圧と等しくなるようにフィードバック制御するとともに、上記異常検出手段がチップのを検出した場合に上記MOSFETをオフさせて電源電圧の供給を停止させるようにしたことを特徴とする請求項1記載の半導体集積回路。

【請求項3】 上記異常検出手段は温度検出手段であることを特徴とする請求項1または2記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体集積回路技術さらには電源ラインの短絡等の故障により大電流が流れた場合のパッケージの発火防止に適用して特に有効な技術に関し、例えば内部降圧回路を有するダイナミック型RAMを利用して有効な技術に関する。

【0002】

【従来の技術】 従来、半導体集積回路においては、回路を駆動する電源電圧は外部端子（電源ピン）から与えられ、半導体チップ上に張り巡らせられた電源ラインを介して各回路部分に供給されるように構成されており、一般に半導体集積回路への電源電圧の供給／遮断は外部に設けられた電源スイッチにより行なわれている。ただし、スタンバイ時等においてパワーダウンを図るため、半導体集積回路内的一部の回路に対する電源電圧の供給／遮断を行なえるようにスイッチを設けたものも提案されているが、半導体集積回路全体の電源電圧の供給／遮断を行なえるような電源スイッチがチップ内に設けられているものはなかった。

【0003】

【発明が解決しようとする課題】 半導体集積回路は、ラッチアップの発生あるいは絶縁膜に開いたピンホールによる電源ラインの短絡や回路を構成する素子の接合破壊等の故障により電源ラインに大電流が流れることがある。しかるに、従来の半導体集積回路は、チップ内に電源スイッチや大電流もしくは温度の検出手段を備えていないため、大電流が流れても電源を遮断することができず、ラッチアップ電流が流れ続けることによって回路が

破壊されるに至ったり、チップの温度が上昇することがあった。その場合、大電流が流れることで電源ラインが速やかに焼き切れてしまえば、損害はそのチップのみであるためそれほど被害は大きくないが、電源ラインが焼き切れないで電流が流れつづけると、パッケージが発火して同一ボード上の隣接するICやLSIまで損傷されてしまうことがあるという問題点があった。

【0004】 本発明の目的は、半導体集積回路において、ラッチアップの発生あるいは電源ラインの短絡等の故障により大電流が流れた場合の回路の破壊やパッケージの発火を防止することにある。この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添附図面から明らかになるであろう。

【0005】

【課題を解決するための手段】 本願において開示される発明のうち代表的なものの概要を説明すれば、下記のとおりである。すなわち、半導体チップ上に、例えば電流検出手段もしくは温度検出手段を設けるとともに、電源パッドから内部回路に電源電圧を供給する電源供給系に電源電圧の供給／遮断を制御可能な電源電圧供給制御手段を設け、電流検出手段がチップの異常な温度上昇を検出した場合に電源電圧の供給を停止させるようにしたものである。

【0006】 ところで、半導体集積回路はますます微細加工による高密度化が進んでおり、例えばダイナミック型RAMでは大容量化に伴って内部回路を従来に比べて低い3.3Vのような電源電圧で駆動するようにしたものが提案されている。この場合、システムを構成する他のLSIとのインターフェースはTTLレベルであるため、入出力部にはまだ5Vの電源電圧が必要とされる。そこで、LSI内部に外部電源電圧を降圧して内部電源電圧を発生する降圧回路を設けるようにしたダイナミック型RAMも提案されている。

【0007】 そこで、半導体集積回路が内部降圧回路を有する場合には、電源パッドから内部回路に電源電圧を供給する電源供給経路の途中に設けられた電圧降下用のMOSFETと、基準となる電圧を発生する基準電圧発生回路と、差動增幅回路とによりその内部降圧回路を構成し、上記MOSFETのゲート電圧を発生される内部電圧が基準電圧と等しくなるようにフィードバック制御するとともに、上記電流検出手段が大電流を検出したまたは温度検出手段がチップの異常な温度上昇を検出した場合に上記MOSFETをオフさせて電源電圧の供給を停止せしめるようとする。

【0008】

【作用】 上記した手段によれば、絶縁膜に開いたピンホールによる電源ラインの短絡や回路を構成する素子の接合破壊等の故障あるいはラッチアップの発生により電源ラインに大電流が流れると、温度検出手段がチップの温度上昇を検知して電源電圧供給制御手段を制御し電流を

遮断するため、ラッチアップによる回路の破壊やパッケージの発火を防止するという上記目的を達成することができる。また、半導体集積回路が内部降圧回路を有する場合においては、電源ラインに大電流が流れたときに電圧降下用のMOSFETを利用してこれをオフさせることで電源電圧の供給を停止させることで、電源遮断回路を付加することに伴うチップサイズの増大を最小限に抑えることができる。

【0009】

【実施例】図1には、本出願人が開発したダイナミック型RAMにおける電源降圧回路の一例が示されている。図1において、1は外部から供給された電源電圧Vccが印加される電源パッド、2は図示しない内部回路に電源電圧を供給する電源ライン、3は上記電源パッド1と電源ライン2との間に挿入された電圧降下用のPチャネルMOSFET、4は所望の内部電源電圧と同一レベルの基準電圧Vrefを発生する基準電圧発生回路、5は上記MOSFET3のゲート制御電圧を発生するための差動增幅回路5の非反転入力端子に上記基準電圧発生回路4により発生された基準電圧Vrefが、また差動增幅回路5の反転入力端子に上記電源ライン2により内部回路に供給される内部電源電圧Vcciがそれぞれ印加されることによって、差動增幅回路5の出力端子から上記MOSFET3のゲート端子に対して、MOSFET3のドレイン電圧が基準電圧Vrefに一致するようにフィードバックがかかり、電源パッド2に印加された電源電圧Vccが降圧されて内部電源電圧Vcciが発生される。

【0010】図2には、本発明を上記電源降圧回路を備えた半導体集積回路に適用した場合の一実施例が示されている。この実施例では、上記電源パッド1と電圧降下用MOSFET3のゲート端子との間に第2のPチャネルMOSFET6が接続され、このMOSFET6のゲート端子には、同一半導体チップ上に形成された温度検出回路7からの制御電圧が印加されている。この温度検出回路7は、半導体チップの温度が予め設定されたある温度Tc以上になるとロウレベルの電圧を出力する。これによって、MOSFET6はオンされ、上記電圧降下用MOSFET3のゲート電圧を電源電圧Vccに引き上げる。すると、MOSFET3がオフされるため、内部回路に供給されるべき内部電源電圧Vcciが遮断される。

【0011】図3には上記温度検出回路7の一実施例が示されている。この実施例の温度検出回路7は、電源電圧Vccと接地点との間に直列接続されたn-p-n型バイポーラ・トランジスタQ1とNチャネルMOSFET Q2とからなる温度センサ部11およびQ1, Q2の接続ノードn1のレベル変化を検出してラッチするラッチ回路12とにより構成されている。上記温度センサ部11を構成するバイポーラ・トランジスタQ1とMOSFE

T Q2は、その特性の温度依存性が異なっており、図4に示すように、半導体チップの温度が上昇すると、バイポーラ・トランジスタQ1の電流増幅率hFEは増大し、MOSFET Q2の伝達コンダクタンスgmは低下する。しかも、上記バイポーラ・トランジスタQ1のベース端子とMOSFET Q2のゲート端子には、電源電圧Vccが印加されている。従って、温度センサ部11のノードn1の電位は、半導体チップの温度が低いうちロウレベルであるが温度が上昇するに従って徐々に高くなっていく。

【0012】一方、ラッチ回路12は2つのNANDゲートG1, G2が交差結合されてなり、電源投入時にロウレベルのセット信号Sが入力されるによって当初出力がハイレベルになるよう設定されている。そのため、チップ温度の上昇により温度センサ部11のノードn1の電位が高くなって、NANDゲートG1の論理しきい値を越えると、ラッチ回路12の出力がハイレベルからロウレベルに反転される。その結果、上記MOSFET6がオンされてMOSFET3がオフされるため、内部回路に供給されるべき内部電源電圧Vcciが遮断される。しかも、ラッチ回路12は一旦出力が反転すると、セット信号Sがハイレベルに変化されない限り出力ロウレベルを保持するため、大電流が流れチップの温度が上昇してMOSFET6がオンし、内部電源が遮断された結果チップの温度が低下し、それによって再び大電流が流れ始めるのを防止することができる。

【0013】なお、上記ラッチ回路12のセット信号Sは、半導体チップの外部で形成して入力させるようにしても良いし、あるいはチップ内において形成するようにしても良い。例えば近年、絶縁膜を保護し消費電力の低減を図るためにメモリアレイ内の共通電極（プレート電極）に、グランド（0V）の代わりに電源電圧Vccの2分の1の電圧（Vcc/2）を印加するようにしたダイナミック型RAMが提案されている。この種のRAMでは、基板電位発生回路とともにVcc/2発生回路が設けられる。また、基板電位Vbbが安定してからメモリアレイ内のプレート電極にVcc/2電圧を印加すべく、基板電位発生回路で発生された電圧を検出する起動検出回路が設けられ、起動検出信号WK（ロウレベル）を発生するようにされている。この起動検出信号WKは基板電位Vbbが安定してからロウレベルに変化される信号なので、ダイナミック型RAMではこの起動検出信号WKを上記温度検出回路7のラッチ回路のセット信号Sとして利用することができる。

【0014】なお、上記実施例では、温度検出回路7を温度センサ部11とラッチ回路12とで構成しているが、温度センサ部11のみあるいは温度センサ部11とヒステリシス特性を有するシュミットトリガ回路により構成することもできる。また、上記実施例では、半導体チップの温度上昇を検出して電源電圧の供給を遮断す

るようしているが、電流の変化を検出したり、電圧その他チップ内の何らかの以上を検出して電源電圧の供給を遮断するようにしてもよい。

【0015】以上説明したように、上記実施例は、半導体チップ上に、例えば電流検出手段もしくは温度検出手段を設けるとともに、電源パッドから内部回路に電源電圧を供給する電源供給系に電源電圧の供給／遮断を制御可能な電源電圧供給制御手段を設け、電流検出手段が大電流を検出または温度検出手段がチップの異常な温度上昇を検出した場合に電源電圧の供給を停止させるようにしたので、絶縁膜に開いたピンホールによる電源ラインの短絡や回路を構成する素子の接合破壊等の故障あるいはラッチアップの発生により電源ラインに大電流が流れると、温度検出手段がチップの温度上昇を検知して電源電圧供給制御手段を制御し電流を遮断するため、ラッチアップによる回路の破壊やパッケージの発火を防止することができる。

【0016】また、半導体集積回路が内部降圧回路を有する場合において、電源パッドから内部回路に電源電圧を供給する電源供給経路の途中に設けられた電圧降下用のMOSFETと、基準となる電圧を発生する基準電圧発生回路と、差動增幅回路とによりその内部降圧回路を構成し、上記MOSFETのゲート電圧を発生される内部電圧が基準電圧と等しくなるようにフィードバック制御するとともに、上記電流検出手段が大電流を検出または温度検出手段がチップの異常な温度上昇を検出した場合に上記MOSFETをオフさせて電源電圧の供給を停止させるようにして、電源遮断回路を付加することに伴うチップサイズの増大を最小限に抑えることができるという効果がある。

【0017】以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、上

記実施例では温度センサ部をバイポーラ・トランジスタとMOSFETとで構成しているが、いずれか一方の素子のみあるいはダイオードを用いて構成することも可能である。以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である内部に電源降圧回路を有するダイナミック型RAMに適用した場合について説明したが、この発明はそれに限定されるものではなく、電源降圧回路を有しない半導体集積回路にも利用することができる。

【0018】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。すなわち、半導体集積回路において、ラッチアップの発生あるいは電源ラインの短絡等の故障により大電流が流れた場合の回路の破壊やパッケージの発火を防止することができる。

【図面の簡単な説明】

【図1】電源降圧回路の一例を示す回路構成図である。

【図2】本発明を上記電源降圧回路を備えた半導体集積回路に適用した場合の一実施例を示す回路構成図である。

【図3】温度検出回路の一実施例図を示す回路構成図である。

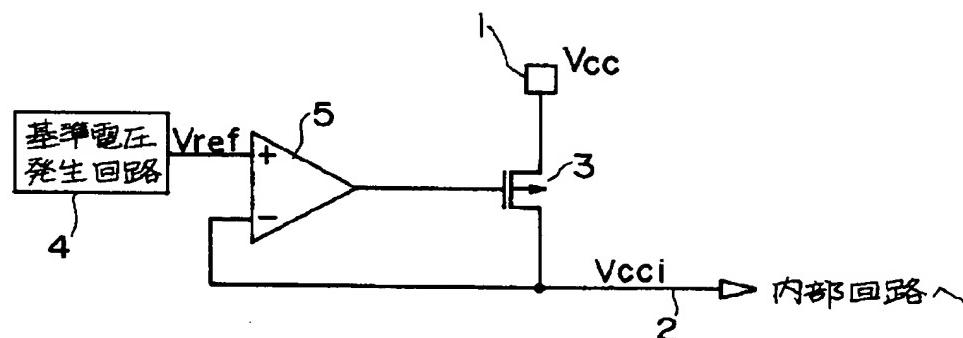
【図4】温度センサ部を構成するバイポーラ・トランジスタとMOSFETの特性の温度依存性を示す温度特性図である。

【符号の説明】

- 1 電源パッド
- 2 電源ライン
- 3 電圧降下用MOSFET
- 4 基準電圧発生回路
- 5 差動增幅回路
- 7 温度検出回路

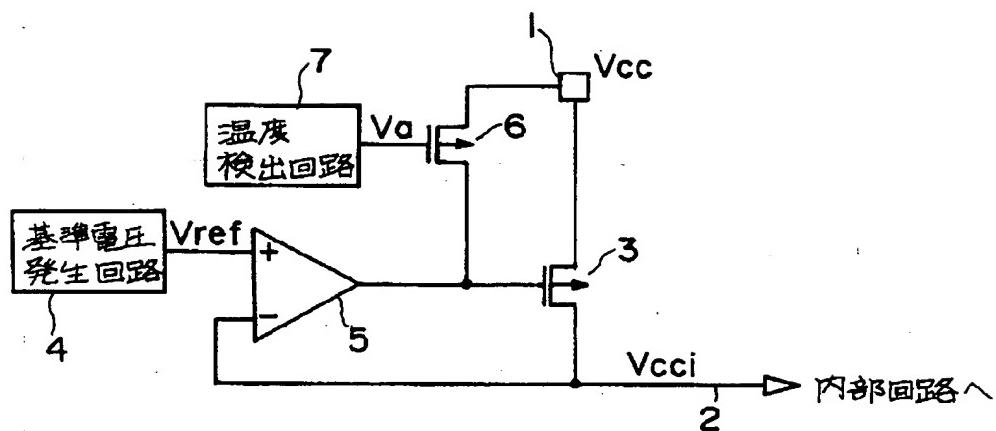
【図1】

【図 1】



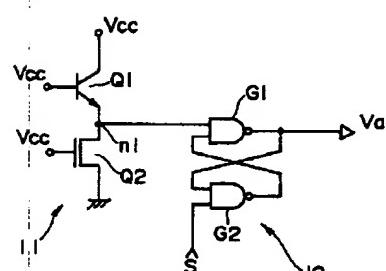
【図2】

【図 2】



【図3】

【図 3】



【図 4】

【図 4】

